

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Convocatoria extraordinaria 2024

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura.
- La fecha límite de entrega es el día 10 de septiembre.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como los ficheros fuente del código VHDL de los ejercicios que haya realizado.
- La memoria ha de incluir el código VHDL de los ejercicios que haya realizado así como capturas de pantalla de las simulaciones realizadas.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantaremos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria extraordinaria de 2024.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

Se desea diseñar un circuito digital que implemente las funciones X e Y mostradas a continuación, que dependen de las tres variables A, B y C:

$$X = A'B'C' + A'BC' + A'BC + AB'C + ABC'$$

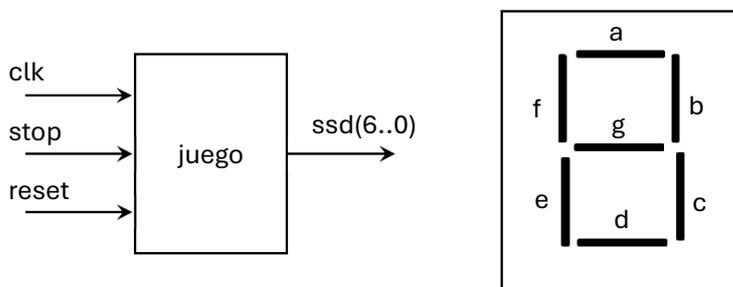
$$Y = A'BC' + AB'C' + AB'C$$

- 1.a) (0.5 puntos) Escriba en VHDL la **entity** del circuito que implemente las dos funciones lógicas. Es decir, que tenga tres entradas A, B y C, y dos salidas X e Y.
- 1.b) (1 punto) Escriba en VHDL la **architecture** que describa el *comportamiento* del circuito.
- 1.c) (0.5 puntos) Dibuje el diagrama de un circuito que implemente estas dos funciones lógicas al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, las salidas de los circuitos diseñados en los Apartados 1.b y 1.d. Compruebe mediante inspección visual que los dos diseños funcionan correctamente.

EJERCICIO 2

A continuación se describe el circuito juego, que es un circuito secuencial síncrono que opera en el flanco de subida de la señal de reloj y que tiene un reset asíncrono activo a nivel alto (la señal de `reset` es, por tanto, la única señal asíncrona del circuito). El circuito tiene las siguientes señales de entrada: la señal de reloj `clk`, la señal `stop` y la señal `reset`. El circuito tiene como señal de salida una señal de 7 bits llamada `ssd`, cuyo propósito es ser la señal de entrada a un display de 7 segmentos.

A continuación se muestra una figura con el diagrama circuital del circuito juego a la izquierda y del display de 7 segmentos a la derecha. En el display de 7 segmentos se han nombrado con las letras a-g los 7 segmentos. La entrada de este circuito es la señal de 7 bits `ssd(6..0)`, representando cada bit de dicha señal el estado de uno de los segmentos. El bit en la posición 6 (el más significativo) representa el segmento a, el bit en la posición 5 el segmento b, y así sucesivamente, siendo el bit en la posición 0 el que representa al segmento g. Cuando un bit de la señal `ssd` tiene el valor 0 se enciende el segmento correspondiente, mientras que si dicho bit tiene el valor 1 entonces ese segmento se apaga. Por ejemplo, si la señal `ssd` tiene el valor "0110111" entonces todos los segmentos están apagados salvo los segmentos a y d.



El circuito juego hace que la señal `ssd` cambie de valor de modo que muestra de forma cíclica consecutivamente iluminados los segmentos a, ab, b, bc, c, cd, d, de, e, ef, f, fa, a... El circuito juego nunca ilumina el segmento g. Podemos considerar que este circuito funciona como una máquina de Moore donde cada estado se corresponde con la iluminación de determinados segmentos. Existen así 12 estados conectados en forma de anillo, en 6 de los estados solo se ilumina un segmento y en los otros 6 estados se iluminan dos segmentos. En los estados donde solo se ilumina un segmento el circuito permanece un tiempo T_1 de 120 ms, mientras en

los estados donde se iluminan dos segmentos el circuito permanece un tiempo T2 de 40 ms.

Cuando la señal `stop` tiene el valor '0', el circuito funciona tal como se ha descrito anteriormente, pero en el flanco de subida de la señal de reloj en que se detecta que la señal `stop` tiene el valor '1' se para la cuenta del tiempo de permanencia en el estado, quedando el circuito en el mismo estado. Cuando la señal `stop` pasa nuevamente a tomar el valor '0', en el siguiente flanco de subida de la señal de reloj se reanuda la cuenta del tiempo de permanencia.

Cuando la señal `reset` toma el valor '1', el circuito pasa de modo asíncrono (con independencia del valor de la señal `stop`) al estado donde sólo está iluminado el segmento a, inicializándose a cero la cuenta del tiempo de permanencia en el estado a.

La **entity** del circuito juego se muestra a continuación.

```
entity juego is
  generic( fclk: integer := 1; --Frecuencia en kHz
           T1: integer := 120;
           T2: integer := 40);
  port ( ssd : out std_logic_vector(6 downto 0);
         clk : in  std_logic;
         stop : in std_logic;
         reset : in  std_logic );
end juego;
```

2.a) (3 puntos) Diseñe en VHDL la **architecture** que describe el comportamiento del circuito secuencial juego como una máquina de estados tipo Moore.

2.b) (3 puntos) Programe en VHDL el banco de pruebas del circuito juego que ha diseñado en el anterior apartado. El banco de pruebas debe generar una señal de reloj de periodo 1 ms que sea la entrada al circuito contador. El banco de pruebas ha de realizar consecutivamente las siguientes pruebas:

- Resetea del circuito, comprobando que la salida del circuito es la correcta.
- Pone la señal `stop` a '0' y comprueba que la salida del circuito pasa consecutivamente por los valores para los que se iluminan el segmento a, el ab, el b y el bc.
- Cuando el circuito está en el estado bc 10 ms pone la señal `stop` a '1' durante 10 ms.

- Pone la señal `stop` a '0' y comprueba que el circuito pasa consecutivamente por los valores para los que se ilumina el segmento bc, c y el cd.

El banco de pruebas debe comprobar que la salida de la UUT coincide con la salida esperada, mostrando el correspondiente mensaje de error en caso contrario. Emplee este banco de pruebas para comprobar el diseño realizado al contestar el Apartado 2.a. Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas del circuito diseñado en el Apartado 2.a entre los instantes 0 ms y 460 ms.