

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Convocatoria extraordinaria 2023

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Alf.
- La fecha límite de entrega es el día 10 de septiembre.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - o Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - o Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como los ficheros fuente del código VHDL de los ejercicios que haya realizado.
- La memoria ha de incluir el código VHDL de los ejercicios que haya realizado así como capturas de pantalla de las simulaciones realizadas.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantaremos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria extraordinaria de 2023.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

Dada las dos funciones lógicas (F y G) mostradas a continuación, que dependen de 3 variables (x, y y z):

$$F = (x \text{ and } y) \text{ or } z$$

$$G = x \text{ or } z$$

- 1.a) (0.5 puntos) Escriba en VHDL la **entity** del circuito.
- 1.b) (1 punto) Escriba en VHDL la **architecture** que describa el *comportamiento* del circuito.
- 1.c) (0.5 puntos) Dibuje el diagrama de un circuito que implemente estas dos funciones lógicas al nivel de puertas lógicas. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, las salidas de los circuitos diseñados en los Apartados 1.b y 1.d. Compruebe mediante inspección visual que los dos diseños funcionan correctamente. Incluya en la memoria los dos cronogramas obtenidos al realizar la simulación del banco de pruebas con los circuitos diseñados en los Apartados 1.b y 1.d.

EJERCICIO 2

Un contador decimal progresivo de tres dígitos realiza la cuenta de 000 a 999 de forma cíclica, pasando de un número al consecutivo en el flanco de subida de la señal de reloj siempre que la señal de cuenta esté habilitada y la señal de reset esté a nivel bajo. Como el contador es cíclico, se considera que el número que sigue al 999 es el 000. El circuito tiene un reset asíncrono activo a nivel alto. Cuando el circuito se resetea, la cuenta toma el valor 000.

Cada dígito decimal se representa por un número binario de 4 bits. Por ejemplo, el número decimal 139 es "0001 0011 1001". El número siguiente al 139 en la secuencia contadora es el 140, que se representa como "0001 0100 0000".

La **entity** del circuito contador se muestra a continuación.

```
entity contador_decimal is
  port ( d1, d10, d100 : out std_logic_vector(3 downto 0);
        clk : in std_logic;
        en : in std_logic;
        reset : in std_logic );
end contador_decimal;
```

Las señales de salida tienen como valor el resultado de la cuenta. La señal `d1` se corresponde con el dígito menos significativo de la cuenta y la señal `d100` se corresponde con el dígito más significativo. Por ejemplo, los valores de las señales `d1`, `d10` y `d100` al representar al número 140 son `d100 = "0001"`, `d10 = "0100"` y `d1 = "0000"`. La señal `en` permite habilitar y deshabilitar la cuenta. La cuenta está habilitada cuando el valor de la señal `en` es '1' y está deshabilitada cuando su valor es '0'. La señal `reset` es la señal de reset del circuito.

2.a) (3 puntos) Diseñe en VHDL la **architecture** que describe el comportamiento del circuito secuencial contador.

2.b) (3 puntos) Programe en VHDL el banco de pruebas del circuito contador que ha diseñado en el anterior apartado. El banco de pruebas debe generar una señal de reloj de periodo 0.01 s que sea la entrada al circuito contador. El banco de pruebas ha de realizar consecutivamente las siguientes pruebas:

- Resetea del circuito comprobando que la salida del circuito es la correcta.
- Pone la señal `en` a '1' y comprueba que la salida del circuito pasa consecutivamente por los valores 0 a 999 y de 999 a 0.

- Pone la señal en a '0' y comprueba que la salida del circuito no cambia de valor una vez pasado al menos un ciclo de reloj.

El banco de pruebas debe comprobar que las salidas de la UUT coinciden con las salidas esperadas, mostrando el correspondiente mensaje de error en caso contrario. Emplee este banco de pruebas para comprobar el diseño realizado al contestar el Apartado 2.a. Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas del circuito diseñado en el Apartado 2.a entre los instantes 0 s y 2 s.