

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Convocatoria ordinaria 2024

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Ágora.
- La fecha límite de entrega es el día 16 de abril.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como los ficheros fuente del código VHDL de los ejercicios que haya realizado.
- La memoria ha de incluir el código VHDL de los ejercicios que haya realizado, así como capturas de pantalla de las simulaciones realizadas.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantearémos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria ordinaria de 2024.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

En la Figura 1.1 se muestra el símbolo lógico de un circuito digital cuya función es contabilizar el número de señales de entrada que tienen valor par. Tanto las señales de entrada como de salida del circuito se interpretan como números binarios sin signo. Si una señal de entrada es "00" ó "10", es par. Si una señal de entrada es "01" ó "11", es impar. La salida de este circuito indica el número de señales pares existentes en la entrada (0, 1 ó 2). Por ejemplo, si las dos entradas son "01" y "11", entonces la salida del circuito vale 0 ("00"); si las señales de entrada son "00" y "01", entonces la salida del circuito vale 1 ("01"); si las dos entradas son "00" y "10", entonces la salida del circuito vale 2 ("10").

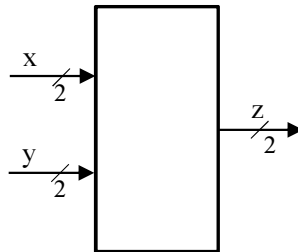


Figura 1.1: Entradas y salida del circuito del Ejercicio 1.

- 1.a) (0.5 puntos) Escriba en VHDL la **entity** del circuito digital empleando el mismo nombre para las señales que el mostrado en la Figura 1.1.
- 1.b) (1 punto) Escriba la tabla de la verdad del circuito digital. A partir de dicha tabla de la verdad, obtenga la función lógica que describe la salida (z) en función de las entradas (x e y). A continuación, escriba en VHDL una **architecture** que describa el *comportamiento* de un circuito que implemente dicha función lógica.
- 1.c) (0.5 puntos) Dibuje el diagrama al nivel de puertas lógicas de un circuito que implemente esta función. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el diagrama que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.

- 1.e)** (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, la salida de los circuitos diseñados en los Apartados 1.b y 1.d. Compruebe mediante inspección visual que los dos diseños funcionan correctamente.

Incluya en la memoria las capturas de pantalla de los dos cronogramas obtenidos al realizar con el simulador de VHDL la simulación del banco de pruebas con los circuitos diseñados en los Apartados 1.b y 1.d.

EJERCICIO 2

En la Figura 1.2 se muestra el símbolo lógico de un circuito combinacional que tiene dos entradas x_1 y x_2 de ocho bits y una salida z de cuatro bits. El valor de la señal de salida z indica el número de posiciones en que las dos señales de entrada (x_1 y x_2) tienen distinto valor. Por ejemplo, para las señales de entrada "00010001" y "10010010", que difieren únicamente en los bits de tres posiciones, el circuito genera la señal de salida "0011" (valor 3 en decimal).

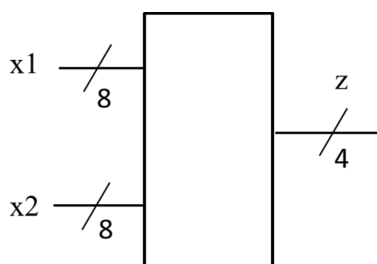


Figura 1.2: Entradas y salida del circuito del Ejercicio 2.

La **entity** del circuito se muestra a continuación.

```

entity circ is
  generic ( Width  : integer:=8;
            WidthZ  : integer:=4);
  port ( z      : out std_logic_vector(WidthZ-1 downto 0);
        x1     : in  std_logic_vector(Width-1 downto 0);
        x2     : in  std_logic_vector(Width-1 downto 0) );
end entity circ;

```

- 2.a)** (3 puntos) Diseñe en VHDL la **architecture** que describe el comportamiento del circuito combinacional descrito en el enunciado.
- 2.b)** (3 puntos) Programe en VHDL un banco de pruebas que testee todas las posibles entradas al circuito. El banco de pruebas debe modificar el valor de las señales de entrada del circuito cada 10 ns. Además, debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas. Emplee este banco de pruebas para comprobar el diseño realizado al contestar al Apartado 2.a.

Incluya en la memoria la captura de pantalla de los primeros 100 ns del cronograma obtenido al realizar la simulación del banco de pruebas con el simulador de VHDL.