

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Junio 2022

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Alf.
- La fecha límite de entrega es el día 16 de abril.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - o Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - o Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como el código VHDL de los ejercicios que haya realizado.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantaremos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria ordinaria de 2022.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

Se desea diseñar un circuito digital que implemente las funciones F y G cuya tabla de verdad se muestra a continuación, que dependen de las tres variables x, y y z:

x	y	z	F	G
'0'	'0'	'0'	'0'	'1'
'0'	'0'	'1'	'1'	'1'
'0'	'1'	'0'	'0'	'0'
'0'	'1'	'1'	'1'	'1'
'1'	'0'	'0'	'0'	'0'
'1'	'0'	'1'	'0'	'0'
'1'	'1'	'0'	'1'	'0'
'1'	'1'	'1'	'1'	'0'

- 1.a) (0.5 puntos) Obtenga las funciones lógicas F y G a partir de la tabla de verdad. Escriba en VHDL la **entity** del circuito que implemente las dos funciones lógicas. Es decir, que tenga tres entradas x, y y z, y dos salidas F y G.
- 1.b) (1 punto) Escriba en VHDL la **architecture** que describa el *comportamiento* del circuito.
- 1.c) (0.5 puntos) Dibuje el diagrama de un circuito que implemente estas dos funciones lógicas al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, las salidas de los circuitos diseñados en los Apartados 1.b y 1.d. Compruebe mediante inspección visual que los dos diseños funcionan correctamente. Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas.

EJERCICIO 2

Se quiere programar en VHDL un circuito combinacional que realiza la suma con acarreo de entrada de dos números binarios con signo (representados en complemento a 2) y además proporciona tres señales de salida que informan de si ha habido desbordamiento en la suma, si el resultado es cero y el signo que debiera tener el resultado. El circuito tiene las siguientes señales de entrada: los operandos de n bits a y b y una señal de acarreo de entrada un bit llamada cin . El circuito tiene las siguientes señales de salida: el resultado de n bits res y las señales de 1 bit desbordamiento, $cero$ y $signo$.

El valor de la señal `desbordamiento` es '1' solo si la operación de suma produce desbordamiento. En cualquier otro caso su valor es '0'. Para el cálculo de esta señal ha de tener en cuenta lo siguiente:

- Si los dos operandos tienen diferentes signos, no puede existir desbordamiento ya que la suma de un número positivo y un número negativo siempre provoca una disminución de la magnitud.
- Si los dos operandos y el resultado tienen el mismo signo, no ocurre desbordamiento ya que el resultado está dentro del mismo rango.
- Si los dos operandos tienen el mismo signo pero el resultado tiene un signo diferente, está ocurriendo desbordamiento. El cambio de signo indica que el resultado va más allá del límite positivo o negativo y está, por tanto, más allá del rango.

Para el cálculo de la señal de desbordamiento ha de traducir estas tres observaciones en una expresión lógica.

El valor de la señal `cero` es '1' solo si el resultado de la operación tiene valor cero y, además, no existe desbordamiento. En cualquier otro caso su valor es '0'.

El valor de la señal `signo` es el mismo bit de signo del resultado de la suma solo si no existe desbordamiento. En caso de existir desbordamiento, el signo es el inverso al resultado de la suma.

- 2.a)** (3 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento del circuito combinacional empleando solo sentencias concurrentes. Los nombres de los puertos de la **entity** deber ser los mismos que se han especificado para las señales de entrada y salida del circuito. Emplee

el convenio de especificar en primer lugar las señales de salida del circuito y posteriormente las señales de entrada. El número de bits (n) de las señales a , b y res se ha de expresar como constante del tipo **generic**.

En el diseño únicamente pueden emplearse los dos siguientes paquetes de la librería IEEE:

```
IEEE.std_logic_1164  
IEEE.numeric_std
```

- 2.b)** (3 puntos) Programe en VHDL un banco de pruebas que testee todas las posibles entradas al circuito diseñado en el Apartado 2.a. El número de bits de los operandos de entrada ha de ser una constante del programa cuyo valor se pueda modificar de modo que el banco de pruebas sea válido para cualquier número de bits de los operandos de entrada.

El banco de pruebas debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas. El banco de pruebas debe mostrar al final del test un mensaje con el número total de errores detectados. La forma de calcular el valor esperado de la señal de desbordamiento debe ser diferente a la realizada en el circuito que se pretende testear.

Realice la simulación para el caso en que el número de bits de los operandos sea cuatro ($n=4$). Incluya en la memoria el cronograma obtenido al realizar la simulación del banco de pruebas del circuito diseñado en el Apartado 2.a.