

INSTRUCCIONES:

1. Resuelva este ejercicio en las mismas condiciones en que realizará el examen: dos horas de tiempo y sin emplear ningún material.
2. Revise sus contestaciones, empleando para ello el texto y el simulador que esté usando para estudiar la asignatura.
3. Compare sus respuestas revisadas con la solución.

Pregunta 1 (3 puntos)

- 1.a)** (0.5 puntos) Diseñe en VHDL un multiplexor de dos señales de un bit. Hágalo describiendo el comportamiento del circuito, empleando una sentencia concurrente condicional (**when-else**). La **entity** se muestra a continuación. La señal *s* es la señal de control.

```
entity mux2_1bit is
  port ( d      : out std_logic;
         a, b   : in  std_logic;
         s      : in  std_logic );
end entity mux2_1bit;
```

- 1.b)** (0.5 puntos) Diseñe en VHDL un multiplexor de dos señales de un bit mediante la descripción de su comportamiento, pero en esta ocasión empleando una sentencia concurrente de selección (**with-select**).

- 1.c)** (2 puntos) Diseñe en VHDL un multiplexor de dos señales de cuatro bits. Hágalo describiendo la estructura del circuito. Es decir, mediante la conexión de cuatro multiplexores de dos señales de un bit. La **entity** del multiplexor de dos señales de cuatro bits es:

```
entity mux2_4bit is
  port ( d0, d1, d2, d3 : out std_logic;
         a0, a1, a2, a3 : in  std_logic;
         b0, b1, b2, b3 : in  std_logic;
         s              : in  std_logic );
end entity mux2_4bit;
```

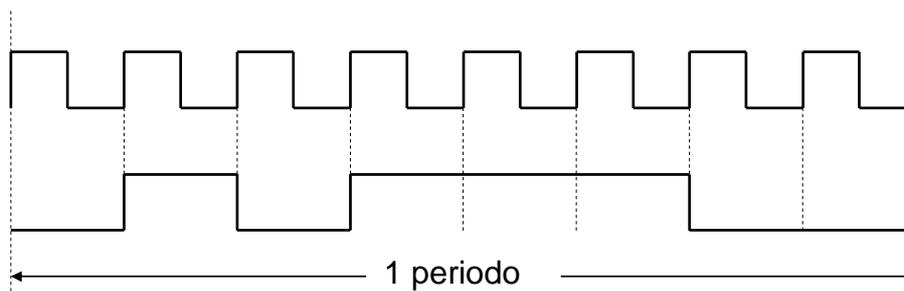
Pregunta 2 (3 puntos)

Describa en VHDL el comportamiento de un circuito con dos entradas de 8 bits que, interpretando las entradas como números binarios sin signo, calcule el valor absoluto de la diferencia entre las entradas. Es decir, si las entradas son a , b , el circuito calcula $|a - b|$. La **entity** del circuito es:

```
entity abs_dif is
  port ( resultado : out std_logic_vector(7 downto 0);
        a, b       : in  std_logic_vector(7 downto 0) );
end entity abs_dif;
```

Pregunta 3 (3 puntos)

Diseñe un generador de señales que obtenga la forma de onda mostrada en la parte inferior de la figura, a partir de la señal de reloj `clk` mostrada en la parte superior de la figura. Describa el comportamiento del circuito como una máquina de estado finito.



La **entity** del circuito es:

```
entity generador is
  port( wave : out std_logic;
        clk  : in  std_logic );
end entity generador;
```

Pregunta 4 (1 punto)

Programe en VHDL un banco de pruebas para el circuito que ha diseñado al responder a la pregunta 3, de manera que pueda comprobarse mediante inspección visual que el circuito genera la forma de onda correctamente.