

INSTRUCCIONES:

1. Resuelva este ejercicio en las mismas condiciones en que realizará el examen: dos horas de tiempo y sin emplear ningún material.
2. Revise sus contestaciones, empleando para ello el texto y el simulador que esté usando para estudiar la asignatura.
3. Compare sus respuestas revisadas con la solución.

Pregunta 1 (3 puntos)

Escriba en VHDL la **architecture** que describe el comportamiento de un divisor de frecuencias por 3, con señal de reset asíncrona activa a nivel bajo. El código VHDL de la **entity** del divisor de frecuencias se muestra a continuación.

```
entity divisor_frecuencia_3 is port(  
    clk3      : out std_logic;  
    clk, resetn: in  std_logic );  
end entity divisor_frecuencia_3;
```

La salida `clk3` es una señal periódica con la misma forma de onda que la señal `clk`, pero con un tercio de su frecuencia. Es decir, un periodo de la señal `clk3` se corresponde con tres periodos de la señal `clk`. Los cambios síncronos en la señal `clk3` se producen en el flanco de la señal `clk`. La entrada `resetn` pone asíncronamente la señal `clk3` a 0, manteniéndose dicho valor mientras el valor de `resetn` valga 0.

Puede tomar las decisiones de diseño que estime convenientes, siempre y cuando las argumente y no estén en contradicción con las especificaciones anteriores.

Pregunta 2 (2 puntos)

Escriba en VHDL la **entity** y la **architecture** que describe:

- 2.a)** (0.25 puntos) El comportamiento de una puerta NOT.
- 2.b)** (0.25 puntos) El comportamiento de una puerta XOR de 2 entradas.
- 2.c)** (1.5 puntos) La estructura de un circuito combinacional detector de paridad de números de n bits, con $n \geq 2$. La salida del circuito es 1 si la entrada tiene un número par de unos. En cualquier otro caso, la salida del circuito es 0. La **architecture** debe describir la estructura del circuito combinacional, instanciando y conectando adecuadamente las puertas lógicas NOT y XOR necesarias. Emplee las sentencias **generic**, **generate** y las puertas lógicas cuyo diseño ha realizado al contestar los dos apartados anteriores.

Pregunta 3 (3 puntos)

Programe en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar a la Pregunta 2c. Suponga que el número de bits que tiene como entrada el circuito es 3 (es decir, $n = 3$). Explique detalladamente cómo el programa de test comprueba exhaustivamente el valor de la UUT para todos los posibles valores de la entrada. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (2 puntos)

A continuación, se muestra el diseño de cuatro circuitos. La **entity** de todos ellos es la siguiente.

```
entity ffd is port(
    q          : out std_logic;
    d, clk, rst: in  std_logic );
end entity ffd;
```

La **architecture** de cada uno de los circuitos se muestra a continuación (véase Solución 1, 2, 3 y 4).

```
---- Solucion 1-----
architecture arch1 of ffd is
begin
    process (clk, rst)
    begin
        if (rst = '1') then
            q <= '0';
        elsif (rising_edge(clk)) then
            q <= d;
        end if;
    end process;
end arch1;
```

```
---- Solucion 2-----
architecture arch2 of ffd is
begin
    process (clk)
    begin
        if (rst = '1') then
            q <= '0';
        elsif (rising_edge(clk)) then
            q <= d;
        end if;
    end process;
end arch2;
```

```
---- Solucion 3-----  
architecture arch3 of ffd is  
begin  
  process (clk)  
  begin  
    if (rst = '1') then  
      q <= '0';  
    elsif (clk = '1') then  
      q <= d;  
    end if;  
  end process;  
end arch3;
```

```
---- Solucion 4-----  
architecture arch4 of ffd is  
begin  
  process (clk, rst, d)  
  begin  
    if (rst = '1') then  
      q <= '0';  
    elsif (clk = '1') then  
      q <= d;  
    end if;  
  end process;  
end arch4;
```

Para cada circuito, explique detalladamente si tiene la funcionalidad de un flip-flop D con señal de reset asíncrona.