

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

1.a) (1 punto) Dibuje el diagrama conceptual correspondiente al fragmento de código *Fragmento 1*.

1.b) (1 punto) Dibuje el diagrama conceptual correspondiente al fragmento de código *Fragmento 2*.

```
---- Fragmento 1-----  
signal a, b, r : unsigned (7 downto 0);  
signal x, y    : unsigned (3 downto 0);  
...  
r <=  a+b when x+y>1 else  
      a-b when x>y and y>0 else  
      b;
```

```
---- Fragmento 2-----  
signal s: std_logic_vector (1 downto 0);  
signal a, b, x : std_logic;  
...  
with s select  
  x <= (a or b) when "00"|"01",  
      (a nand b) when "10",  
      '0' when others;
```

Pregunta 2 (3 puntos)

Escriba en VHDL, de las formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional codificador de 4 a 2 con prioridad. A continuación, se muestran la **entity** del circuito y su tabla de la verdad.

```
entity codificadorPrioridad4a2 is
  port (  codigo      : out std_logic_vector(1 downto 0);
         activo      : out std_logic;
         x           : in  std_logic_vector(3 downto 0) );
end entity codificadorPrioridad4a2;
```

x	codigo	activo
1---	11	1
01--	10	1
001-	01	1
0001	00	1
0000	00	0

En el código VHDL de la **architecture**, emplee para evaluar la señal `codigo`:

- 1.a)** (0.75 puntos) Una asignación concurrente condicional (**when - else**).
- 1.b)** (0.75 puntos) Una asignación concurrente de selección (**with - select**).
- 1.c)** (0.75 puntos) Una sentencia **if**.
- 1.d)** (0.75 puntos) Una sentencia **case**.

Pregunta 3 (3 puntos)

Escriba en VHDL la **architecture** de un circuito secuencial síncrono que opera en el flanco de subida de la señal de reloj. Se supone que la señal de reloj de entrada tiene un periodo de 0.01 s. Este circuito tiene dos señales de entrada de 1 bit: la señal de reloj `clk` y la señal de reset asíncrona activa a nivel 0 `rst`. El circuito tiene una señal de salida de dos bits llamada `salida` cuyo valor es el resultado de la cuenta descrita a continuación.

El circuito realiza la cuenta cíclica de "00"-"01"-"10"-"11". Se ha de diseñar el circuito como una máquina de estado de tipo Moore, de modo que cada estado corresponda a un valor diferente de la señal de salida del circuito, permaneciendo 1 s en cada estado. La señal de reset pasa al circuito al estado cuya señal de salida tiene el valor "00".

La **entity** del circuito se muestra a continuación.

```
entity contador is
  port ( salida    : out std_logic_vector(1 downto 0);
        clk, rst  : in  std_logic);
end entity contador;
```

Para el diseño del circuito emplee únicamente las siguientes librerías:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.numeric_std.ALL;
```

Pregunta 4 (2 puntos)

Programa el banco de pruebas del circuito secuencial que ha diseñado en la Pregunta 3. El banco de pruebas debe generar una señal de reloj de un periodo de 0.01 s, que ha de ser entrada del circuito secuencial. El programa de test debe realizar las siguientes comprobaciones, mostrando en cada comprobación un mensaje de error sólo si la salida no tiene el valor esperado.

- Resetear el circuito. Comprobar que tras el reseteo la señal de salida toma el valor "00".
- Esperar un segundo y después comprobar que la salida tiene el valor "01".
- Esperar un segundo y después comprobar que la salida tiene el valor "10".
- Esperar un segundo y después comprobar que la salida tiene el valor "11".
- Esperar un segundo y después comprobar que la salida vuelve a tomar el valor "00".
- Mostrar un mensaje con el número total de errores.