

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos) Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales s1, s2, s3, s4 y s5 entre los instantes 0 y 60 ns. En el cronograma se debe indicar para cada una de estas señales el instante de tiempo en que la señal cambia de valor así como su nuevo valor.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;
architecture cronol of cronol is
    signal s1, s2, s3, s4, s5 : std_logic;
begin
    bloquel : process
    begin
        s1 <= '0';
        wait for 10 ns;
        s1 <= '1';  s2 <= '1';
        wait for 5 ns;
        s1 <= '0';  s2 <= '0';
        wait for 5 ns;
        s1 <= '1';  s2 <= '1';
        wait for 15 ns;
        s2 <= '0';
        wait for 5 ns;
        s1<= '1';  s2<='1';
        wait;
    end process bloquel;
    bloque2 : process
    begin
        s3 <= '0';
        wait for 5 ns;
        s1 <= '1';  s3 <= '1';
        wait for 5 ns;
    end process bloque2;
    s4 <= s2 after 10 ns;
    s5 <= transport s2 after 10 ns;
end architecture cronol;
```

Pregunta 2 (3 puntos)

Escriba en VHDL la **entity** y la **architecture** que describe:

- 2.a)** (0.25 puntos) El comportamiento de una puerta NOT.
- 2.b)** (0.25 puntos) El comportamiento de una puerta XOR de 2 entradas.
- 2.c)** (2.5 puntos) La estructura de un circuito combinacional detector de paridad de números de n bits, con $n \geq 2$. La salida del circuito es 1 si la entrada tiene un número par de unos. En cualquier otro caso, la salida del circuito es 0. La **architecture** debe describir la estructura del circuito combinacional, instanciando y conectando adecuadamente las puertas lógicas NOT y XOR necesarias. Emplee las sentencias **generic**, **generate** y las puertas lógicas cuyo diseño ha realizado al contestar los dos apartados anteriores.

Pregunta 3 (2 puntos)

Programe en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar a la Pregunta 2c. Suponga que el número de bits que tiene como entrada el circuito es 3 (es decir, $n = 3$). Explique detalladamente cómo el programa de test comprueba exhaustivamente el valor de la UUT para todos los posibles valores de la entrada. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (3 puntos)

Diseñe usando VHDL un registro de desplazamiento de 4 bits conversor serie a paralelo. El circuito tiene las entradas siguientes: señal de reloj (`Clock`), señal de control de desplazamiento hacia la derecha (`Shift`), señal de reset asíncrono activo a nivel alto (`Reset`) y señal de entrada serie de datos (`Serial_in`). El circuito tiene una señal de 4 bits de salida paralelo de datos (`Q`). La **entity** del circuito es:

```
entity registro is port(  
    Q : out std_logic_vector(3 downto 0);  
    Clock, Shift, Serial_in, Reset : in std_logic);  
end entity registro;
```

Cuando la señal `Reset` toma el valor '1', todos los bits del contenido del registro toman el valor 0. No se realiza ninguna operación mientras `Reset` vale '0' y la señal `Shift` vale '0'. Mientras la señal `Reset` vale '0' y la señal `Shift` vale '1', en cada flanco de subida de la señal de reloj se desplaza el contenido del registro un bit a la derecha y se carga `Serial_in` en el bit situado más a la izquierda (bit más significativo del registro). La señal de salida coincide con el contenido del registro.

El diseño del registro en VHDL debe realizarse describiendo el comportamiento del circuito, empleando para ello un único bloque **process**.