

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x3, x4, x5 y x6 entre los instantes 0 y 80 ns. En el cronograma se debe indicar para cada una de estas señales el instante de tiempo en que la señal cambia de valor así como su nuevo valor.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;
architecture cronol of cronol is
    signal s1, s2, x3, x4, x5, x6 : std_logic;
begin
    s1 <= '1', '0' after 5 ns, '1' after 10 ns,
          '0' after 25 ns, '1' after 30 ns;
    s2 <= '0', '1' after 15 ns, '0' after 25 ns,
          '1' after 40 ns;
    Procl: process
        variable valor : std_logic;
    begin
        wait for 5 ns;
        for i in 0 to 6 loop
            x3 <= s1 or s2;
            x5 <= x3;
            wait for 10 ns;
            x4 <= x3;
        end loop;
    end process;
    x6 <= s1 xor s2 after 7 ns;
end architecture cronol;
```

Pregunta 2 (2.5 puntos)

Escriba en VHDL la **entity** y la **architecture** que describe:

- 2.a) (0.25 puntos) El comportamiento de una puerta NOT de 1 entrada.
- 2.b) (0.25 puntos) El comportamiento de una puerta AND de 4 entradas.
- 2.c) (2 puntos) La estructura de un circuito combinacional decodificador 3 a 8 con entrada enable activa a nivel alto. La **architecture** debe describir la estructura del circuito combinacional, instanciando y conectando adecuadamente las puertas lógicas cuyo diseño ha realizado al contestar los dos apartados anteriores.

Pregunta 3 (2.5 puntos)

Programe en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar a la Pregunta 2.c. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan.

Pregunta 4 (3 puntos)

Escriba en VHDL la **architecture** que describe el comportamiento de un contador síncrono módulo 10 de 4 bits, con señal de reset síncrona activa a nivel bajo y que opera en el flanco de subida de la señal de reloj. El circuito tiene como entradas una señal de reloj (`clk`), una señal de 4 bits `D`, una señal de control `ctrl` de dos bits y una señal de reseteo llamada `reset`. El circuito tiene una señal de salida de 4 bits `Q`. Cuando la señal `reset` tiene el valor '0' en el flanco de subida de la señal de reloj pone la salida `Q` del circuito al valor "0000", con independencia del valor del resto de las señales de entrada del circuito. El circuito opera de la siguiente manera, según el valor de la señal `ctrl` (siempre que la señal de reset tenga valor '1'):

- Si `ctrl` tiene el valor "00", la señal de salida `Q` mantiene su valor.
- Si `ctrl` tiene el valor "01", la señal de salida `Q` toma el siguiente valor de la cuenta.
- Si `ctrl` tiene el valor "10", la señal de salida `Q` toma el valor de la señal de entrada `D`.
- Si `ctrl` tiene el valor "11", la señal de salida `Q` toma el valor "0000".

El código VHDL de la **entity** del contador módulo 10 se muestra a continuación.

```
entity contadorMod10 is
    port(    clk : in  std_logic;
            reset : in  std_logic;
            ctrl : in  std_logic_vector(1 downto 0);
            D : in  std_logic_vector (3 downto 0);
            Q : out std_logic_vector (3 downto 0));
end contadorMod10;
```