

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales s_1 , s_2 , s_3 y s_4 entre los instantes 0 y 60 ns. En el cronograma se debe indicar para cada una de estas señales el instante de tiempo en que la señal cambia de valor así como su nuevo valor.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity crono is
end entity crono;
architecture crono of crono is
    signal x1, x2, x3, s1, s2, s3, s4: std_logic;
begin
    x1 <= '1',
        '0' after 15 ns,
        '1' after 20 ns,
        '0' after 35 ns,
        '1' after 50 ns;
    x2 <= '0',
        '1' after 25 ns,
        '0' after 30 ns;
    x3 <= '0',
        '1' after 10 ns,
        '0' after 20 ns;
    s1 <= x1 after 5 ns;
    Proc1: process (x1, x2, x3)
        variable v1: std_logic;
    begin
        s2 <= x1 xor x2;
        v1 := x1 xor x2;
        s3 <= s2;
        s4 <= v1;
    end process;
end architecture crono;
```

Pregunta 2 (3 puntos)

Se quiere programar usando VHDL un circuito combinacional desplazador. El circuito tiene dos señales de entrada: x de 4 bits y la señal de selección s de dos bits. Y tiene una señal de salida y de 4 bits. El comportamiento del circuito se indica en la siguiente tabla de operación.

s	x	y	Operación
"00"	$x_3x_2x_1x_0$	$x_3x_2x_1x_0$	Pasa el dato
"01"	$x_3x_2x_1x_0$	$x_2x_1x_00$	Desplaza a la izquierda y rellena con ceros
"10"	$x_3x_2x_1x_0$	$0x_3x_2x_1$	Desplaza a la derecha y rellena con ceros
"11"	$x_3x_2x_1x_0$	$x_0x_3x_2x_1$	Rota a la derecha

El circuito ha de tener la **entity** siguiente:

```
entity Desplazador is
  port( y: out std_logic_vector ( 3 downto 0 );
        s : in std_logic_vector ( 1 downto 0 );
        x : in std_logic_vector ( 3 downto 0 ));
end entity Desplazador;
```

2.a) (1.5 puntos) Escriba en VHDL la **architecture** que describe el comportamiento del circuito desplazador empleando sólo un bloque **process** y una sentencia **case**.

2.b) (0.5 puntos) Escriba en VHDL la **architecture** de un multiplexor 4 a 1 de un bit que describa su comportamiento empleando una sentencia **when-else**. El multiplexor ha de tener la **entity** siguiente:

```
entity mux4a1 is
  port( y: out std_logic;
        s: in std_logic_vector ( 1 downto 0 );
        x: in std_logic_vector ( 3 downto 0 ));
end entity mux4a1;
```

2.c) (1 punto) Dibuje el diagrama circuital del circuito desplazador mediante conexión de multiplexores 4 a 1 como el descrito en el anterior apartado. Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando los multiplexores 4 a 1 que ha diseñado anteriormente.

Pregunta 3 (2 puntos)

Programe el banco de pruebas del circuito combinacional que ha diseñado en la Pregunta 2.c. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje de error en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (3 puntos)

Diseñe usando VHDL el siguiente circuito secuencial síncrono. El circuito opera en el flanco de subida de la señal de reloj (`clk`) y tiene como entradas la señal de reloj `clk`, una señal `reset_n` síncrona activa a nivel bajo y una señal de un bit `x`. El circuito tiene una señal de salida: la señal de un bit `z`.

La señal de salida `z` tiene valor '1' cuando la secuencia de los cuatro últimos valores de la entrada `x` sea "0110", y tiene valor '0' en cualquier otro caso. El circuito detecta secuencias solapadas. El circuito se ha de describir como una máquina de estados de tipo Mealy.

La **entity** del circuito se muestra a continuación.

```
entity detector is
  port ( z          : out std_logic;
         reset_n    : in  std_logic;
         clk        : in  std_logic;
         x          : in  std_logic );
end entity detector;
```

Escriba en VHDL la **architecture** que describe el comportamiento del circuito en términos de una máquina de Mealy. Dibuje el diagrama de estados correspondiente al circuito que ha diseñado.