

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

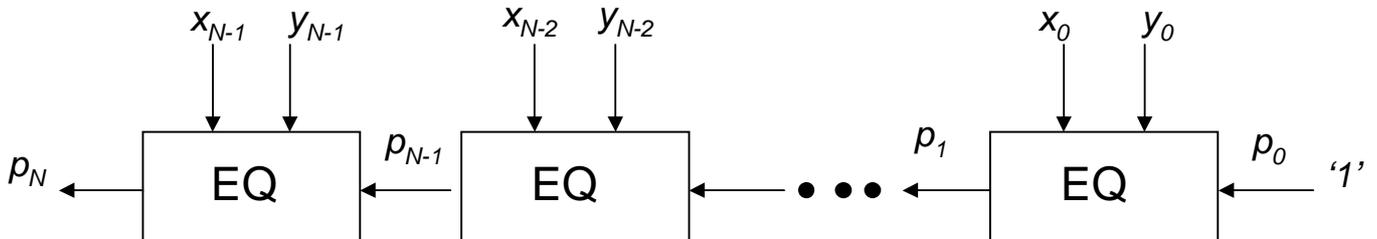
Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4 y x5 entre los instantes 0 y 50 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;
architecture cronol of cronol is
    signal x1, x2, x3, x4, x5 : std_logic;
begin
    x1 <= '0', '1' after 10 ns,
          '0' after 15 ns, '1' after 25 ns,
          '0' after 30 ns;
    Proc1: process
    begin
        x2 <= '1';
        wait for 5 ns;
        x2 <= '0';
        wait for 10 ns;
        x2 <= '1';
        wait for 5 ns;
        x2 <= '0';
    end process;
    x3 <= x1 after 5 ns;
    Proc2: process
        variable v1 : std_logic;
    begin
        for i in 0 to 3 loop
            v1 := x1 xor x2;
            x4 <= v1;
            x5 <= x4;
            wait for 5 ns;
        end loop;
        wait;
    end process;
end architecture cronol;
```

Pregunta 2 (3 puntos)

Diseñe un circuito que compare si dos números de N bits tienen igual valor. Construya el circuito de manera iterativa, tal como se muestra en la siguiente figura.



Diseñe inicialmente un comparador de 1 bit, que tenga las tres entradas siguientes: los dos operandos de un bit (x_i e y_i) y el resultado de la comparación de la etapa anterior (p_i). p_i es un bit cuyo valor es '1' sólo si todas las parejas de bits comparadas hasta esa etapa son iguales. La salida del comparador de 1 bit, p_{i+1} , es el resultado de la comparación llevada a cabo en esa etapa, teniendo en cuenta el valor de las tres entradas. Finalmente, encadene N comparadores de 1 bit para implementar el comparador de N bits, usando para ello la sentencia **generate**. N ha de ser una constante de tipo **generic**.

Pregunta 3 (2 puntos)

Programe el banco de pruebas del circuito combinacional que ha diseñado en la Pregunta 2 para un valor de N igual a 6. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (3 puntos)

Diseñe usando VHDL el siguiente circuito secuencial síncrono. El circuito opera en el flanco de subida de la señal de reloj (`clk`) y tiene como entradas la señal de reloj `clk`, una señal `reset` asíncrona activa a nivel alto y una señal de un bit `X`. El circuito tiene una señal de salida de un bit `Z`.

La señal de salida `Z` tiene valor '1' durante un ciclo de reloj cuando la secuencia de los tres últimos valores de la entrada sea "111", "110" ó "000", y tiene valor '0' en cualquier otro caso. La señal `reset` inicializa el circuito poniéndolo en un estado en que los últimos tres bits recibidos por la señal de entrada `X` son "001".

Diseñe el circuito como una máquina de Moore. Escriba en una tabla, cuya estructura se muestra a continuación, todos los estados de la máquina, indicando para cada estado cuál es el siguiente estado cuando la señal de entrada vale $X = '0'$ y cuando la señal de entrada vale $X = '1'$. Especifique además el valor de la señal de salida `Z` correspondiente a cada estado.

Tabla de estados.

Estado	Estado siguiente si $X = '0'$	Estado siguiente si $X = '1'$	Z