

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales a, b, c, d entre los instantes 0 y 100 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;
architecture cronol of cronol is
    signal a, b, c, d : std_logic;
begin
    bloque1 : process
    begin
        b <= '0';
        wait for 5 ns;
        a <= '1';
        b <= '1';
        wait for 10 ns;
        a <= '0';
        b <= '0';
        wait for 5 ns;
        a <= '1';
        wait for 15 ns;
        b <= '1';
        wait for 5 ns;
        b <= '1';
    end process bloque1;
    bloque2 : process
    begin
        wait for 20 ns;
        a <= '1';
        wait for 20 ns;
        a <= '0';
    end process bloque2;
    c <= b after 10 ns;
    d <= transport b after 10 ns;
end architecture cronol;
```

Pregunta 2 (2.5 puntos)

Escriba en VHDL la **architecture** que modela el comportamiento de los dos siguientes componentes:

- a. (1 punto) Una latch D con entrada enable activa a nivel alto y cuya **entity** se muestra a continuación. Emplee en la descripción de la **architecture** una sentencia **if**.

```
entity D_latch is
  port( Q      : out std_logic;
        D      : in  std_logic;
        Enable  : in  std_logic);
end entity D_latch;
```

- b. (1.5 puntos) Un biestable (*flip-flop*) JK disparado por el flanco de subida del reloj (clk) y con reset asíncrono (reset_n) activado a nivel bajo. La **entity** se muestra a continuación.

```
entity biestableJK is
  port ( q, q_n          : out std_logic;
        clk, J, K, reset_n : in  std_logic );
end entity biestableJK;
```

Pregunta 3 (3.5 puntos)

Diseñe un circuito secuencial síncrono capaz de detectar cuando le llegan al menos tres ceros consecutivos por su entrada. La **entity** del circuito se muestra a continuación. El circuito tiene una señal de reloj (`clk`), un entrada serie de un bit (`X`), una señal de reset asíncrona activa en '1' (`reset`), una señal que indica el estado en que se encuentra el circuito (`state`) y una señal de salida de un bit (`Y`). La señal `Y` se pone a '1' si por la entrada `X` se han recibido tres o más ceros consecutivos. La señal `reset` pone el circuito en su estado inicial. Todos los cambios tienen lugar en el flanco de subida de la señal de reloj. Escriba en VHDL la **architecture** que describe el comportamiento del circuito en términos de una máquina de Moore. Dibuje el diagrama de estados correspondiente al circuito que ha diseñado.

```
entity detector is
    port( Y      : out std_logic;
          state  : out std_logic_vector(1 downto 0);
          X      : in  std_logic;
          reset  : in  std_logic;
          clk    : in  std_logic);
end entity detector;
```

Pregunta 4 (2 puntos)

Programa el banco de pruebas del circuito secuencial que ha diseñado en la Pregunta 3. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.